

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135474

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 29/78

(21)Application number : 08-307442

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 31.10.1996

(72)Inventor : CHIYOU KOUYUU

OTSUKA KENJI

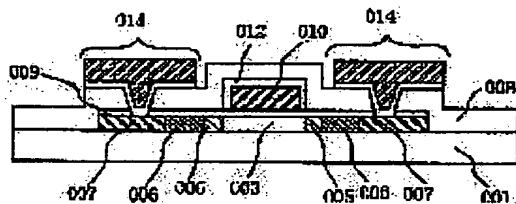
ISODA SHIRO

## (54) INSULATED GATE FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent channel regions from being contaminated due to turnaround of impurities by making the impurity concn. of contact regions higher than that of regions serving as sources/drains.

**SOLUTION:** On a substrate 001 having an insulative surface a semiconductor layer is formed, having channels 003, regions 006 functioning as sources/drains, low impurity regions 005 between the regions 003, 006, and contact regions 007 forming Ohmic contacts between source/drain regions contg. an impurity at a high concn. and electrodes. The impurity is added enough to form the Ohmic contacts in the regions for the contact with the electrodes. Regions acting as sources/drains are disposed near the channel regions and doped at a low dose of the impurity to reduce the turnaround.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



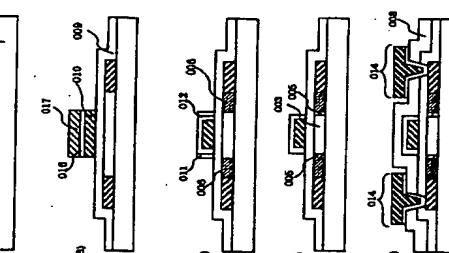
## 特開平10-135474

(43)公開日 平成10年(1998)6月22日

(5)Inn.Cl*	P1
H01L 29/788	616A
29/78	301L

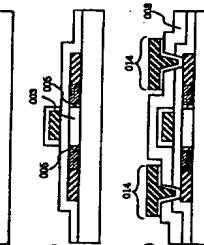
審査請求、未請求 請求の数 8 FD (全 14 頁)

(2)出願番号 特願平8-307442 (71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷388番地(72)発明者 張 宏男  
株式会社半導体エネルギー研究所内(72)発明者 大屋 雄司  
株式会社半導体エネルギー研究所内(72)発明者 鶴田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 岩田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 大屋 雄司  
株式会社半導体エネルギー研究所内(72)発明者 鶴田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 岩田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 大屋 雄司  
株式会社半導体エネルギー研究所内(72)発明者 鶴田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 岩田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 大屋 雄司  
株式会社半導体エネルギー研究所内(72)発明者 鶴田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 岩田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 大屋 雄司  
株式会社半導体エネルギー研究所内(72)発明者 鶴田 志郎  
株式会社半導体エネルギー研究所内(72)発明者 岩田 志郎  
株式会社半導体エネルギー研究所内

## (54)【発明の名称】絶縁ゲート型電界効果トランジスタ及びその作製方法

(5)【要約】  
 【課題】ソース/ドレイン領域を形成する際の、添加した不純物の回り込みによるIGFETの特性の劣化を解決することを課題とする。  
 【解決手段】絶縁ゲート型電界効果トランジスタのソース/ドレイン領域を、ソース/ドレイン領域と電極とのコンタクト領域とに分離し、電極とのオーミックコンタクトを形成するため、コンタクト領域には高濃度に不純物を添加し、ソース/ドレインとして機能する領域には、回り込みを少なくするため低濃度に不純物を添加する。



(2) 特開平10-135474  
 2 前記半導体層の上にゲート電極を形成する工程と  
 該ゲート電極上にゲート電極を形成する工程と、  
 该ゲート電極をマスクとして不純物を添加してソース/ドレインとして機能する領域を形成する工程と、  
 该不純物領域を形成する工程とからなることを特徴とする  
 絶縁ゲート型電界効果トランジスタの作製方法。  
 【請求項1】前記半導体層の上にゲート電極を形成する工程と、  
 该ゲート電極上にアルミニウム膜を形成する工程と、  
 该アルミニウム膜とゲート電極をバーニングする工程と、  
 バーニングされたアルミニウム膜をゲート電極にパターニングする工程と、  
 不純物を添加する工程と、  
 该不純物領域を形成する工程とからなることを特徴とする  
 絶縁ゲート型電界効果トランジスタの作製方法。  
 【請求項2】半導体層の上に形成されたゲート電極  
 が、チャネル領域と低不純物領域とソース/ドレインと  
 して機能する領域との上を覆つて、ソース/ドレイン  
 と電極とのコンタクト領域は覆われていないことを特  
 徴とする絶縁ゲート型電界効果トランジスタ。  
 【請求項3】絶縁ゲート型電界効果トランジスタにお  
 いて、半導体層がチャネル領域と、低不純物領域と、ソ  
 ース/ドレインとして機能する領域と、ソース/ドレ  
 インと電極とのコンタクト領域とからなり、前記コンタク  
 ト領域のシート抵抗が1 kΩ/□以下であることを特徴  
 とする絶縁ゲート型電界効果トランジスタ。  
 【請求項4】絶縁ゲート型電界効果トランジスタにお  
 いて、半導体層がチャネル領域と、低不純物領域と、ソ  
 ース/ドレインとして機能する領域と、ソース/ドレ  
 インと電極とのコンタクト領域とからなり、前記ソース/ド  
 レインとして機能する領域のシート抵抗が10 kΩ/  
 □以下であることを特徴とする絶縁ゲート型電界効果ト  
 ランジスタ。  
 【請求項5】基板上に半導体層と、  
 該半導体層上にゲート電極を介して形成された二つ以  
 上のゲート電極と有する絶縁ゲート型電界効果トラン  
 ジスタにおいて、  
 前記半導体層が、各ゲート電極の下に形成された複数個  
 のチャネル領域と、チャネル領域に近傍して設けられた  
 ソース/ドレインとして機能する領域と、ソース/ドレ  
 インと電極とのコンタクト領域とからなり、  
 隣接する二つのチャネル領域に挟まれた領域中の不純  
 物濃度が、前記コンタクト領域よりも低いことを特徴とす  
 る絶縁ゲート型電界効果トランジスタ。  
 【請求項6】基板上に半導体層と、  
 该半導体層に高濃度に不純物を添加してソース/ドレ  
 インと電極とのコンタクト領域を形成する工程と、  
 前記半導体層の上にゲート電極を形成する工程と、  
 該ゲート電極上にゲート電極を形成する工程と、  
 该ゲート電極をマスクとして不純物を添加してソース/ド  
 レインとして機能する領域を形成する工程と、  
 低不純物領域を形成する工程とからなることを特徴とす  
 る絶縁ゲート型電界効果トランジスタの作製方法。  
 【請求項7】基板上に半導体層を形成する工程と、  
 前記半導体層にマスク酸化膜を通過して高濃度に不純  
 物を添加してソース/ドレインと電極とのコンタクト領域  
 を形成する工程と、

【請求項8】前記半導体層の上にゲート電極を形成する工程と、  
 该ゲート電極上にアルミニウム膜を形成する工程と、  
 该アルミニウム膜とゲート電極をバーニングする工程と、  
 バーニングされたアルミニウム膜をゲート電極にパタ  
 ニングする工程と、  
 不純物を添加する工程と、  
 该不純物領域を形成する工程とからなることを特徴とする  
 絶縁ゲート型電界効果トランジスタの作製方法。  
 【請求項9】前記半導体層の上にゲート電極を形成する工程と、  
 该ゲート電極上に半導体層である絶縁ゲート型電界効  
 果トランジスタに關する。  
 【請求項10】前記半導体層の上にゲート電極を形成する工程と、  
 该ゲート電極上に半導体層である絶縁ゲート型電界効  
 果トランジスタに關する。

【発明が解決しようとする課題】 IGBTにおいて、ソース／ドレイン領域と電極のコンタクト領域を形成する必要がある。そのため、ソース／ドレイン領域のコンタクト領域に不純物を高濃度で導入する必要がある。

100091 図1 (C) に示すように、①の範囲にソース／ドレイン領域0.04を形成するためのドーピングを高濃度で行うと、不純物が、④に示される領域まで回り込むことによって汚染されてしまう。そしてそのことに起因して、その TFT 特性的劣化、ばらつきが起きてしまう。

【0010】上記問題点を解決するには、ソース／ドレイン領域にドーピングする不純物量をチャネル領域まで回り込みが広がらないように減らせばよい。しかし、そうすると電極ヒソース／ドレイン領域どのオーミックコ

【0011】更に、レジストマスクを脱けた墨体に高濃度の不純物イオンをドーピングすると、レジストマスクが硬質化してしまうという問題がある。

【0012】一般にレジストマスクを除去する際に、硬化した部分を酸素を用いてアシングを行なう。その後、柔軟な部分のレジストマスクを剥離板を用いて除去する。しかし、硬質化したレジストマスクが厚いときは、保護している下地膜にまで酸素アラブマスによって損傷を与えることがあるから、シート状アラブマス処理のソマージンで脱けることがある。そこで、コントラクトを形成するため、高濃度に不純物が添加された墨膜を用いる。

【0013】本明細で示すように、ドーピングによって墨膜を硬質化する方法は、上述した各種問題を解決することを課題とする。

と、ソース／ドレインとして機能する領域と、チャネル領域とソース／ドレイン領域に挟まれた低濃度不純物領域と、高濃度で不純物が追加されたコンタクト領域とが形成されていることを特徴とする。

【0024】

【実施例】

【実施例】図2に本願説明の実施例の作製工程の一つを示す。本実施例では、ガラス基板上にN型IGFETを形成した例を示す。

【0025】図2(A)に示すように本実施例ではガラス基板001を利用するが、ガラス基板の代わりに石英基板、絶縁表面を有する半導体等を用いてもよい。

【0026】まず、ガラス基板001の上に図示しない下地層を成膜する。ここでは下地層としてスピッシャ法で2000Å厚の酸化珪素を形成する。

【0027】下地層を形成するのはスピッシャ法に限定されるとわけではなく、ラズマCVD法や熱CVD法等でもよい。下地層は、基板からの不純物や応力発生を抑和

【0028】次に、プラズマCVD法によって活性層を形成する。本実施例では活性層は、主素を主成分とする被膜を用いるが、他の半導体にも利用できる。

【0029】活性層を形成する方法は、特にプラズマCVD法に限定されるものではなく、プラズマCVD法の代わりに離析熱CVD法を利用してもよい。本実施例において活性層は実質又は実質的に真性（人為的に導電性を付与しないという意味）な非晶質半導体を形成する。

【0030】その後、非晶質半導体を結晶化させる。この結晶化は、熱やレーザー光等が利用できる。本実施例においては、レーザー光を利用して結晶化を行なう結晶化膜とする。

【0031】次に、多結晶半導体層にバーニングを施し

て、パターンを形成する。このパターンはN型IGFETの活性層となる。

[0032] 次に、図2(A)に示すように、レジストマスクを形成する。そしてP(リン)のドーピングを行なう。このドーピングは、N型IGFETのソース/ドレイン領域と電極となるミクロンタクトを形成する条件で行なう。

[0033] つまり、コンタクト領域の裏面の不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となり、シート抵抗が $1 \text{ k}\Omega/\square$ 以下となるように形成する。

[0034] 不純物のドーピング方法としては、プラズマドーピング法と呼ばれる方法とイオン注入法と呼ばれる方法がある。プラズマドーピング法は、PH<sub>3</sub>やB<sub>2</sub>H<sub>6</sub>等のドーピングせんとする不純元素を含んだガスを周囲送電力等でプラズマ化し、そこから電界により、不純イオンを引出し、更に電界により加速注入する方法である。

[0035] 他方、イオン注入法は、上記PH<sub>3</sub>やB<sub>2</sub>H<sub>6</sub>

し、そこから引き出されたいた  
面ににより選別し、その選別さ  
れる方法である。  
大面積への対応が可能な方  
法である。  
の工程では、次の条件でド  
ラムへ投入する。  
2 × 10<sup>14</sup> cm<sup>-2</sup>  
5 W  
5.0 kV

ルミニウムの異常成長により発生する状あるいは削除の安送物のことである。このヒロックやイスカは、加熱処理やレーザー光の照射、さらに不純物元素のドーピングにおいて発生する。

[0048] 1次に、レジストマスク 017 を配置する。このレジストマスクは、ダイト電極を形成するためのもので、図 2 (A)、(B) からも判るように、コンタクト領域を形成する際に用いたレジストマスク 013 よりも幅の短いことを特徴としている。

[0049] 1次に、レジストマスク 017 を利用してバーチャーニングを行う。こうして図 2 (B) に示す状態を得る。

陽極酸化膜において、外側に形成された多孔性の陽極酸化膜 0.11 をエッチングする。  
[00601] このエッチングは、酢酸、硝酸、リン酸、硫酸等のエッチャントによって行う。このエッチャントによっては、多孔性の陽極酸化膜 0.11 は浸食するが、緻密な膜 0.11 は残され、剥離する。この工場エッチングでは、前工程で陽極酸化膜 0.11 次に、再び 0.11 をドーピングする。  
[00602] これは、前工程でエッチングされた陽極酸化膜の下の活性層に低不純物酸化膜が形成される条件で施加する。  
[00603] 即ち、低不純物酸化膜のシート抵抗が  $1.0 \times 10^4 \Omega/\square$  となるようにドーピングを行う。  
[00604] 本実施例では次の条件でドーピングを行

用いることも適当である。

100831 [実施例2] 本実施例は、実施例1に示す工程を一部変更したものである。詳しくは、実施例1の図2(A)の工程を図3に変更したものである。

100841 まず、実施例1と同様の条件で、ガラス基板001の上に下地保護膜と非晶質金属膜を形成する。

100842 本実施例では、この電極として、チタン膜又は、非晶質金属膜の上にマスク酸化珪藻膜018を形成する。

100851 このマスク酸化珪藻膜018は、

100852 イオン注入の衝撃によって、半導体表面が剥がれるのを保護する。

100853 活性層にレジストマスクの不純物が付着することを防

100711 そして、ソース／ドレイン領域のコンタクト領域007にコンタクトホールを形成する。そして、コンタクトホールを形成する。コンタクト領域007と、高濃度にリンが添加されているので、電極014と、高濃度にリニンで電極014を形成することができる。

100721 本実施例では、この電極として、チタン膜又は、アルミニウム膜とチタン膜と3層膜をバッタ法により形成する。そしてこの金属膜(構成膜)をバーナーで焼成することにより014で示される電極を形成する。

100731 最後に350℃の水素雰囲気中において、時間の加熱処理を行い、半導体中の欠陥の修復を行

図2 [0.064] こうして図2(D)の0.05で示される底不純物領域が形成される。また、ゲート電極によってリソングが添加されなかった半導体層が、チャネル領域0.03となる。

図2 [0.065] この底不純物領域0.05の幅は、多孔性の不純物領域0.1の厚さによって決まる。底不純物領域0.005の幅は0.5～2.0μm、本実施例では0.7μmとする。

図2 [0.066] 本実施例では、図示されていないが、

（100671）このオフセット領域はチャネル領域とソースチャネル領域との間、及びチャネル領域とドレイン領域とのあいだに配置された高抵抗領域として機能する。このオフセット領域はチャネル領域と同じ、L型の導電型を有している。

（100681）また、このオフセット領域はチャネル領域への不純物の回り込みを防ぐマージンとしての効果も有する。

（100691）こうして図2（D）に示す状態を得たら、

「こうした作業を有している。」  
N型IGFETの構造は、層間絶縁層0.08μmを形成する。本実施例では、層間絶縁層として重合性樹脂を用いる。ここでは、層間絶縁層はプラズマCVDを用いて3000Åの厚さに形成す

15

10 に用いることも適宜成しえる。

【0 0 8 3】〔実施例 2〕本実施例は、実施例 1 に示す工程を一部変更したものである。詳しくは、実施例 1 の図 2 (A) の工程を図 3 に変更したものである。

【0 0 8 4】まず、実施例 1 と同様の条件で、ガラス基板 001 の上に下地保護膜と非晶質金属膜を形成する。

次に、非晶質金属膜の上にマスク樹化珪素膜 01 8 形成する。

【0 0 8 5】このマスク樹化珪素膜 01 8 は、

10 イオン注入の衝突によって、半導体表面が荒れるのを保護する。

・活性層にレジストマスクの不純物が付着することを防ぐ。

20 20

- ・レジストマスクを剥離する際の酸素アラズマから活性層を保護する。
- ・レジストマスクを剥離する際、剝離液に活性層を導かない。

という効果がある。

[0.0.6] マスク酸化活性膜を成長する方法としては、プラスマCVD法、スピッタ法、活性層の熱処理による成長等から適宜選択できる。

[0.0.7] また、マスク酸化活性膜をCVD法で成長する際用いる原料ガスは、シリコンと酸化物気体、TEOS、またはTEOSと酸化物気体との混合ガス等から適宜選択できる。

100-81 ここでいう酸化物気体とは、酸素、オゾン、亜硫酸蒸気のように、活性化した酸素を供給することができる気体、又はそれらの混合気体をいう。本実験では、TEOSと酸素を原料に用いたラジスマCVD 法によつて1000~10000Å、本実験例では約500Åの厚さにマスク酸化珪素膜0.1Åを形成する。

100-81 1次、実験例1と同様の条件で非晶質二氧化硅膜を結晶化し、バーナーを用いて、レジストマスク0.13を形成する。

100-81 0そして、リンをドーピングする。このドーピングはソース/ドレイン領域のコンタクト領域を形成するための条件で行われる。

100-91 本実験例では、次の条件でドーピングを行

5  $\times 10^{14}$  c m<sup>-2</sup>

ドーピング量  
800 V

加速電圧  
200 V

RF電力

10.09.21 本実験例では、このリソーンを添加する工程  
は、マスク酸化珪藻膜0.18を通したスルードープで行  
うため、実験例1に比べて高ドーピングで行う。また、マ  
スク酸化珪藻膜0.18の膜厚により、上記条件は適宜変  
化する。

10.09.31 こうして、図3に示すよう、リソーンが添加され  
されたソース/ドレイン領域のコンタクト寸幅0.07  
と、レジストマスク0.13によって不純物の添加されな  
い。

8

かった領域0 1 5が形成される。このソース／ドレイン領域のコンタクト領域0 0 7のシート抵抗は1 kΩ／□以下とする。

【0 0 9 4】次に、レジストマスク0 1 3を被覆層用いてアシング処理と、制縫板でのウェットエッチングで除去した後、マスク触化性素を除去する。

【0 0 9 5】残りの工程は、実施例1と同様の条件で行う。

【0 0 9 6】本実施例では、半導体層0 1 5、特にチャネル領域となる活性層に、レジストから不純物等の粒状による汚染をマスク触化性素0 1 8によつて抑制することができる。

【0 0 9 7】また、不純物の添加の際、イオンの衝撃等によって半導体層の表面が削れるのを防止することができる。従つて、信頼性の高いIGFETを作製することができる。

【0 0 9 8】(実施例3) 本実施例は、実施例1をダブルゲート型のN型IGFETに応用したものである。図4にその工程を示す。

【0 0 9 9】まず、実施例1と同様の方法で、ガラス基板0 0 1の上に図示しない下地保護膜と島状の活性層半導体層を形成する。次に、活性層半導体層の上にレジストマスク0 1 3をバーニングする。そして、実施例1の図2(A)の工程と同じ条件でリンの添加を行い、ソース／ドレイン領域のコンタクト領域となる領域0 0 7を形成する。図5～図9にその工程を示す。

【0 1 0 0】こうして、図4(A)に示す状態を得たら、レジストマスク0 1 3を除去して、ゲート触域0 0 9を実施例1と同じ条件で形成する。

【0 1 0 1】その後、実施例1と同様にアルミニウム膜を全面に被覆し、その表面を触化処理する。そして、バーニングを施して、ゲート電極0 1 0、0 1 0'を形成する。そして、実施例1と同じ条件でゲート電極0 0 10、0 1 0'を触化して多孔性の触域0 0 1 1と、触域0 1 2を形成する。

【0 1 0 2】そして、実施例1の図2(C)の工程と同様の条件でリンをドーピングする。そして、図4(B)に示すように、ソース／ドレインとして機能する触域0 0 6、0 0 6'、0 0 6"を形成する。

【0 1 0 3】次に、多孔性的触域0 1 1をエッチングして、再び、実施例1の図2(D)の工程と同じ条件でリンをドーピングする。

【0 1 0 4】こうして、図4(C)に示すように、電極0 1 0の下に形成されたチャネル領域0 0 3と、チャネル領域0 0 3に隣接して形成された低不純物触域0 0 5とが形成される。同時に、電極0 1 0'の下に形成されたチャネル触域0 0 3'、チャネル領域0 0 5'、とが形成される。

【0 1 0 5】残りの工程も実施例1と同様の条件で行

う。こうして、層間絕縁膜0 0 8と引出し電極0 1 4とが形成され、図4(D)に示すように、ダブルゲート型のN型IGFETが作製される。

【0 1 0 6】このダブルゲート型のN型IGFETの半導体層の構成は、各ゲート電極0 1 0、0 1 0'の下に形成されたチャネル領域0 0 3、0 0 3'、と、チャネル領域に残して駆けられた低不純物触域0 0 5、0 0 5'、と、ソース／ドレインとして機能する触域0 0 6、0 0 6'、0 0 6"と、ソース／ドレイン領域と電極とのコンタクト領域0 0 7とかからなっている。

【0 1 0 7】そして、二つのチャネル領域0 0 3、0 0 3'に挟まれたソース／ドレインとして機能する触域0 0 6'におけるリンの不純物濃度は、当然ながら、他のソース／ドレインとして機能する触域0 0 6、0 0 6"の不純物濃度と触域等しく、ソース／ドレインと電極との不純物濃度と触域等しく、ソース／ドレインと電極との不純物濃度よりも低い。

【0 1 0 8】(実施例4) 本実施例は、ダブルゲート型のN型IGFETに応用したものである。図4に示すように、ゲート電極の数が二つ以上の電界効果トランジスタにも応用できる。

【0 1 0 9】また、本実施例では、マスク触化性素膜を用いて半導体層の表面が削れるのを防止することができる。従つて、信頼性の高いIGFETを作製することができる。

【0 1 1 0】(実施例4) 本実施例は、LCDモジュールの周边回路の薄膜トランジスタに応用したものである。図5～図9に同様に形成する。

【0 1 1 1】次に、ガラス基板上に画素マトリクス部と、隣接するP及びNチャネル型のドライブ回路(パッファ回路)を構成するP及びNチャネル型の薄膜トランジスタを同時に作製する。

【0 1 1 2】その後、実施例1と同様にアルミニウム膜を全面に被覆し、その表面を触化処理する。そして、バーニングを施して、ゲート電極0 1 0、0 1 0'を形成する。そして、実施例1と同じ条件でゲート電極0 0 10、0 1 0'を触化して多孔性の触域0 0 1 1と、触域0 1 2を形成する。

【0 1 1 3】まず、実施例1と同様に、ガラス基板0 0 1上に図示しない下地膜と非晶質触素膜を形成する。そして、非晶質触素膜の結晶化を行う。

【0 1 1 4】次に、多孔性触素膜にバーニングを施すことにより、図5(A)の0 0 2、0 0 2'、0 0 2"で示すバーニングを形成する。このバーニングは、それぞれ薄膜トランジスタの活性層となる。

【0 1 1 5】即ち、0 0 2が画素マトリクス部に配置される薄膜トランジスタの活性層であり、0 0 2'がNチャネルドライバー部に配置される薄膜トランジスタの活性層であり、0 0 2"がPチャネルドライバー部に配置される薄膜トランジスタの活性層である。

【0 1 1 6】次に図5(B)に示すようににレジストマスク0 1 3、0 1 3'、0 1 3"を配置する。そして、実施例1の図2(A)の工程と同じ条件でリンのドーピングを行う。この工程で、Nチャネルドライバー部にソース／ドレインと電極とのコンタクトを形成するためのコンタクトを形成する。

【0 1 1 7】次に、レジストマスク0 2 0、0 2 0'を除去することにより、図6(C)に示す状態において、0 1 0が画素マトリクス部の薄膜トランジスタのゲート電極である。0 1 6が該ゲート電極の上部に残存した層間絶縁膜である。

【0 1 1 8】また、画素マトリクス部は、図5(B)の工程で用いたレジストマスク0 1 3と、図6(B)で用いたレジストマスク0 2 0との大きさの違いと位置関係によって決定されるオフセット触域0 2 2が形成される。

【0 1 1 9】図示されていないが、ゲート電極からはソース線とともに格子状に配置されるゲート電極が並んでおり、そこには、Pチャネルドライバー部のソース／ドレインとして機能するP'領域を形成するために不純物を添加する。

【0 1 1 0】同様に、0 1 0"がPチャネルドライバー部の薄膜トランジスタのゲート電極である。0 1 6"が該ゲート電極の上部に残存した層間絶縁膜である。

【0 1 1 1】そして、図5(B)に示すように、半導体層上に形成されたレジストマスク0 1 3、0 1 3'、0 1 3"により保護された真性な触域0 1 5、0 1 5'、0 1 5"が形成される。そして、実施例1と同じ条件で0 2 1を形成する。そして、再度の層間絶縁膜をゲート電極0 1 0'、0 1 0"は行う。この層間絶縁膜によって、図7(A)に示すように、再度の層間絶縁膜を形成する。そして、外側に形成された層間絶縁膜0 1 1'、0 1 1"は行う。この層間絶縁膜によって、図7(A)の0 0 1 1'、0 0 1 1"で示される層間絶縁膜を形成する。ここで、内側に形成された層間絶縁膜0 1 1'は、軽密な品質を有している。また、外側に形成された層間絶縁膜0 1 1"は、軽密な品質を有している。

【0 1 1 2】このようにして、図5(B)に示す工程を行ったら、レジストマスク0 1 3、0 1 3'、0 1 3"を0 1 2'、0 1 2"で示される層間絶縁膜を形成する。ここで、内側に形成された層間絶縁膜0 1 1'は、軽密な品質を有している。また、外側に形成された層間絶縁膜0 1 1"は、軽密な品質を有している。

【0 1 1 3】このようにして、レジストマスク0 1 1'は、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 4】このようにして、図7(B)に示すように、ソース／ドレインとして機能するN'領域0 0 6'を形成する。

【0 1 1 5】次に、Nチャネルドライバー部のゲート電極0 1 0'を形成する。そして、再びの層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 6】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 7】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 8】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 9】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 10】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 11】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 12】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 13】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 14】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 15】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 16】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 17】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 18】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 19】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 20】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

【0 1 1 21】このようにして、図7(C)に示すように、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部の活性層には層間絶縁膜0 1 1'、Nチャネルドライバー部の半導体層にはチャネル領域0 1 0'の外側に形成された多孔性的層間絶縁膜0 1 1"を形成する。そして、Nチャネルドライバー部ドーピングを行う。ここで、Nチャネルドライバー部のソース／ドレインとして機能するN'領域を形成する条件でリンを添加する。

【0 1 1 22】このようにして、図7(C)に示すように、ソース／ドレインとして機能するN'領域0 0 6"を形成する。

[0140] こうして図8 (A) に示すように、Pチャ

・ネルドライバー部にソース/ドレインとして機能するP  
・チャンネル0.6"が形成される。[0141] そして、ゲート電極0.10"の側面に形成  
されている、多孔質の絶縁膜0.11"を実施例1と  
同様に除去する。そして、TFT基板と配向基板との間に液晶  
を充填することにより、液晶パネルを完成させる。[0142] 次に、図8 (B) に示すようにP-型  
の低不純物領域0.05"と、ゲート電極0.03"とが形成される。[0143] 本実施例に示す構成では、トップゲート型  
の低不純物領域0.21、0.21"を10  
除去し、再度のレーザー光の照射を行い注入された不純  
物の活性化とドーピング時に生じた晶界構造の粗さのア  
ニールを行なう。[0144] 本実施例に示す構成においては、Nチャネ  
ルドライバー部とPチャネルドライバー部のゲート電極  
の周間に陽極化膜が形成されているので、その陽極化  
膜の厚みに相当する活性層は、オフセット領域などな  
る。[0145] このオフセット領域は、チャネル領域とソ  
ース領域との間、及びチャネル領域とドレイン領域との  
間に配置された高抵抗領域として機能する。その上  
にゲート絶縁膜0.09を形成する。そして、ゲート電極  
を構成するためのアルミニウム膜0.19を形成して、そ  
の表面を陽極化することによって陽極化膜0.16を形  
成する。そして、陽極化膜の上に第1のレジストマ  
スク0.13を配置する。[0146] そして、実施例1と同様の条件で、層間絕  
縁膜0.08を形成する。そして、コマキルホールの形  
成を行い、引出し電極を形成する。[0147] こうして、図9に示す状態を得る。ここ  
で、0.14は西日本マトリクス部の構成トランジスタ (こ  
こではNチャネル型の構成トランジスタ) のソース/ド  
レイン領域にコントラクトした電極である。[0148] ここで、0.14"は、Pチャネルドライバ  
ー部の構成トランジスタのソース/ドレインとして機能  
する領域の延長にある、不純物が高濃度に添加されたP  
・領域とコントラクトした電極である。[0149] こうして、図10 (B) に示す状態を得た  
10  
の構成トランジスタのソース/ドレインとして機能  
する領域の延長にある、不純物が高濃度に添加されたP  
・領域とコントラクトした電極である。[0150] 図示していないが、この後に第2の層間絕  
縁膜を形成する。第2の層間絶縁膜は、ここでは再びC  
VD法で形成した氧化珪素を用いた。そして、第3の層  
間絶縁膜をポリミドもつて形成する。ここでは、ス  
ピンコート法でもつて第3層間絶縁膜を形成する。[0151] そして、ITO膜を1000Aの厚さにス  
・バッカ法で成長し、これをバーニングすることによ  
り層間絶縁膜を形成する。[0152] 最後に350℃の水素空気圧において、  
50  
1.2を形成する。[0153] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、

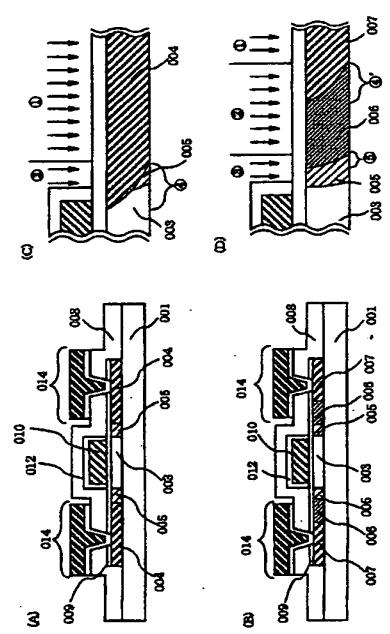
16

1時間の加熱処理を行い、半導体層中の欠陥の修復を行  
う。[0154] こうして、液晶パネルを構成するTFT基  
板を形成させた。この後、液晶を配向させたためのラビ  
ング膜や止止め材を形成し、別に作製した封閉基板と貼り  
合わせる。そして、TFT基板と配向基板との間に液晶  
を充填することにより、液晶パネルを完成させる。[0155] 本実施例では、マスク酸化珪素膜を  
用いて作製したが、本実施例では、コントラクト領域  
を形成するためのドーピングの前にマスク酸化珪素膜を  
形成してもよい。[0156] 実施例5] 本実施例は、1度のドーピン  
グ工程で、ソース/ドレインとして機能する領域と、不  
純物が高濃度に添加されたコントラクト領域とを同時に作  
製する例の一である。本実施例の作製工程を図10に示  
す。[0157] 実施例1と同様にして、ガラス基板0.01  
の上に島状の多結晶半導体層0.02を形成する。その上  
にゲート絶縁膜0.09を形成する。そして、ゲート電極  
を構成するためのアルミニウム膜0.19を形成して、そ  
の表面を陽極化することによって陽極化膜0.16を形  
成する。そして、陽極化膜の上に第1のレジストマ  
スク0.13を配置する。[0158] こうして、図10 (A) に示す状態を得  
る。この状態で1度のバーニングを行う。このバタ  
ーニング工程では、陽極化膜0.16とアルミニウム膜  
0.19とゲート絶縁膜0.09をエンシングする。[0159] そして、第2のレジストマスク0.17を配  
置する。この第2のレジストマスク0.17は、第1のレ  
ジストマスク0.13よりも狭い幅であることを特徴とし  
ている。また、第2のレジストマスク0.17を配置する  
のに、第1のレジストマスクをエンシングすることによ  
り後退させて得ることは、非自己整合プロセスよりもマ  
スク精度が良くなり有利である。[0160] こうして、図10 (B) に示す状態を得た  
10  
の、ゲート電極と層間絶縁膜をエンシングを行う。このバタ  
ーニング工程では、ゲート電極が形成され、陽極  
化膜とアルミニウム膜をエンシングする。[0161] こうして、ゲート電極が形成される。この  
ゲート電極に実施例1と同様の層間絶縁膜を行う。  
そして、第3の層間絶縁膜を用いた。そして、第3の層  
間絶縁膜をポリミドもつて形成する。ここでは、ス  
ピンコート法でもつて第3層間絶縁膜を形成する。[0162] そして、ITO膜を1000Aの厚さにス  
・バッカ法で成長し、これをバーニングすることによ  
り層間絶縁膜を形成する。[0163] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、

17

ゲート絶縁膜0.09を介して注入されるスルードープで  
あるため、添加される量は0.07に比べて減少する。  
[0164] また、不純物の添加量が減少した領域0.0  
6は、ソース/ドレインとして機能する領域となり、高  
濃度に添加された領域0.07は、ソース/ドレイン領域  
と電極とのコントラクト領域となる。[0165] このドーピングのドーズ量は、ゲート絶縁  
膜を通過したスルードープで、ソース/ドレインとして機能  
する領域が形成される条件且つ、ペードープによって橈  
能する領域が形成される条件で行なう。この条件はコントラクト領域が形成  
される条件で行なう。この条件はゲート絶縁膜の厚さによ  
つても変化する。本実施例では、ゲート絶縁膜の厚さが  
1000A、ドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ の条件で行  
う。[0166] また、ソース/ドレインとして機能する領  
域0.06の幅は、第1のレジストマスク0.13と、第2  
のレジストマスク0.17との大きさの違いと位置関係とに  
よって決まる。[0167] こうして、図10 (C) に示す状態を得  
る。その後、実施例1と同様に、ゲート電極の側面に形  
成されている多孔性的絶縁膜0.11を除去する。そ  
して、再び不純物の添加を行なう。図10 (D) に示すよう  
に、低不純物領域0.05と、チャネル領域0.03とを形  
成する。[0168] 1.0を形成する。そして、層間絶縁膜0.08を実施例1と同  
じ条件で形成する。そして、コマキルホールを形成  
し、引出し電極0.14を形成して、図10 (E) に示すよう  
に、低不純物領域を持つ絶縁ゲート型電界効果トラン  
ジスタを形成する。[0169] 本実施例では、ソース/ドレインとして機能  
する領域0.06と、ソース/ドレインと電極とのコン  
タクト領域0.07が一つの工程で作製できるため、歩留  
率を上げることができる。[0170] 本実施例では、チャネル領域に近い気圧に形成された  
ソース/ドレインとして機能する領域に添加する不純物  
を少なくするために、不純物の回り込みによるチャネル  
領域の汚染を防ぐことができ、同一基板で作られたトラン  
ジスタの特性のばらつきを抑えることができる。[0171] さらに、同一基板の面内均一性が必要な液  
晶パネルに本実用の構成を用いることにより、慣性の  
高ハッキルを形成することができる。[0172] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0173] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0174] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0175] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0176] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0177] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0178] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[0179] 1.0を形成する。この状態で、不純物のドーピングを行  
う。このドーピングでは、半導体層中のゲート電極に覆わ  
れていない領域0.07には、ペードープで添加され  
る。また、ゲート絶縁膜に覆われている領域0.06は、[図11] 従来の構成と本実用の構成の絶縁ゲート型ト  
ランジスタの断面図。[図12] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図13] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図14] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図15] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図16] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図17] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図18] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図19] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図20] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図21] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図22] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図23] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図24] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図25] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図26] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図27] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図28] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図29] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図30] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図31] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図32] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図33] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図34] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図35] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図36] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図37] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図38] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図39] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。[図40] 素光を利用してした絶縁ゲート型トランジスタの  
作製方法を示す図。

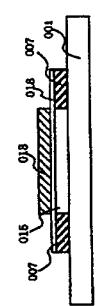
[図11]



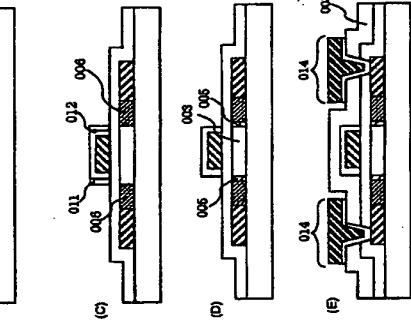
[図2]



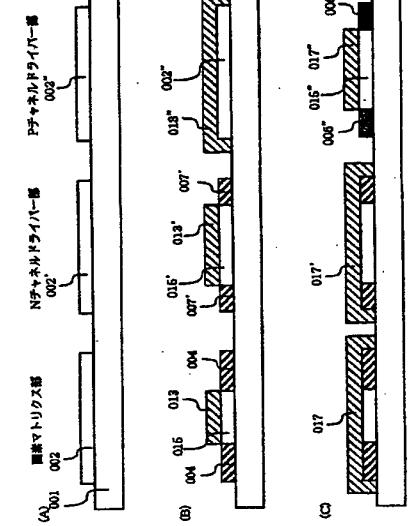
[図3]



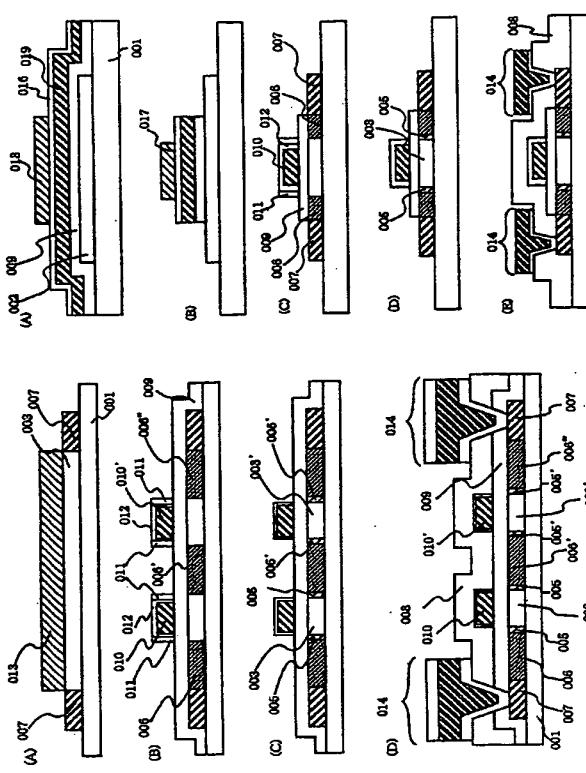
[図4]



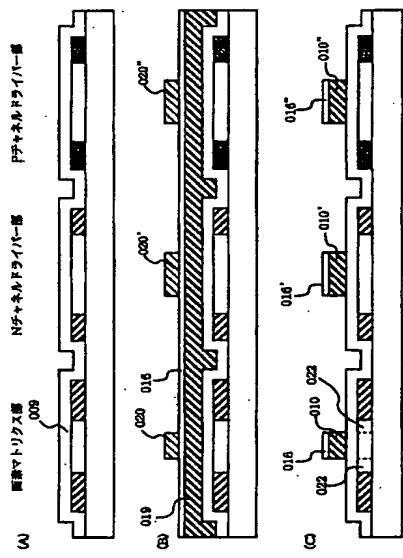
[図5]



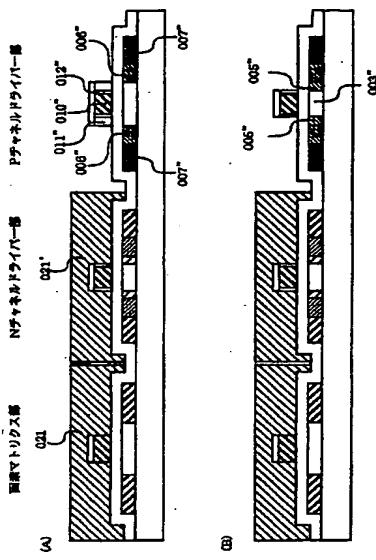
[図10]



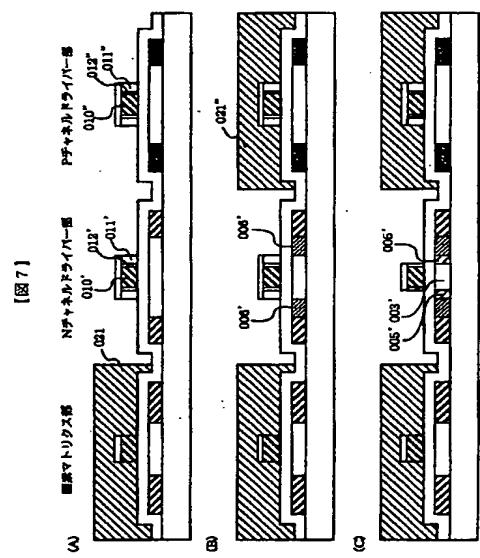
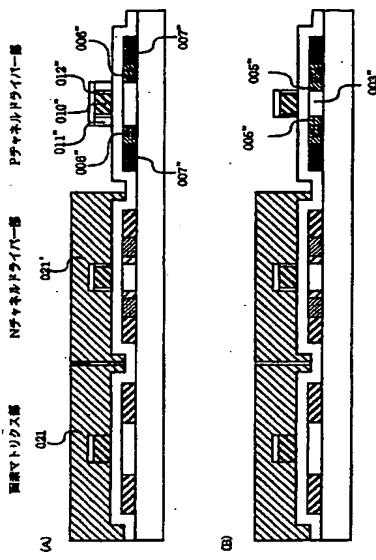
[図6]



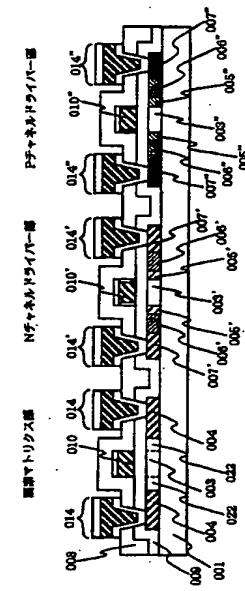
[図8]



[図8]



[図7]



[図9]

